



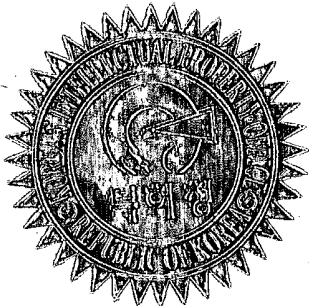
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011513
Application Number

출원 년 월 일 : 2003년 02월 24일
Date of Application FEB 24, 2003

출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 05 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.24
【발명의 명칭】	도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법
【발명의 영문명칭】	A package substrate for electrolytic leadless plating, and its manufacturing method
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 염승윤, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	이종진
【성명의 영문표기】	LEE, Jong Jin
【주민등록번호】	670802-1177618
【우편번호】	306-777
【주소】	대전광역시 대덕구 송촌동 선비마을3단지아파트 305동 1804호
【국적】	KR
【발명자】	
【성명의 국문표기】	신영환
【성명의 영문표기】	SHIN, Young Hwan
【주민등록번호】	601104-1010418
【우편번호】	305-762
【주소】	대전광역시 유성구 전민동 엑스포아파트 510동 704호
【국적】	KR
【심사청구】	청구

0011513

출력 일자: 2003/5/8

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
청운특허법인 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 503,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 세미-에디티브 방식을 이용하여 도금 인입선 없이 와이어 본딩 패드 및 솔더볼 패드를 전해 금도금하는 패키지 기판 및 그 제조 방법에 관한 것이다. 본 발명에 따른 패키지 기판의 제조 방법은, i) 복수의 도통홀이 형성되어 있는 베이스 기판의 전면과 내벽에 제1 동도금층을 형성하는 단계; ii) 제1 동도금층 상부에 제1 레지스트를 도포하고, 패턴이 도금될 부분만 제1 레지스트를 제거하는 단계; iii) 제1 레지스트가 제거된 부분을 동도금하여 제2 동도금층을 형성하는 단계; iv) 제1 레지스트를 박리하는 단계; v) 제2 레지스트를 도포하고, 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 제2 레지스트만 제거하는 단계; vi) 제2 레지스트로 덮이지 않고 노출된 제1 동도금층을 식각액을 사용하여 제거하는 단계; vii) 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분을 전해 금도금하는 단계; viii) 제2 레지스트를 박리액을 사용하여 제거하는 단계; ix) 제2 레지스트가 제거된 부위에 노출된 제1 동도금층을 식각액을 사용하여 제거하는 단계; 및 x) 솔더 레지스트를 도포하고, 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 솔더 레지스트는 제거하는 단계를 포함한다.

【대표도】

도 6k

【색인어】

패키지 기판, 금도금, 동도금, 전해, 무전해, 와이어 본딩, 솔더볼

【명세서】

【발명의 명칭】

도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법 {A package substrate for electrolytic leadless plating, and its manufacturing method}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 BGA 패키지 기판을 예시하는 도면이다.

도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도이다.

도 3a 내지 도 3i는 각각 종래의 기술에 따른 도금 인입선에 의해 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 4는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도이다.

도 5는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판에 전류를 흘려주는 방식을 예시하는 도면이다.

도 6a 내지 도 6k는 각각 본 발명의 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 7a 내지 도 7f는 각각 통상적인 서브트랙티브(subtractive) 방식으로 제조되는 인쇄회로기판의 공정을 예시하는 도면들이다.

도 8a 및 도 8b는 통상적인 서브트랙티브 방식으로 제조된 인쇄회로기판의 식각 프로파일(Etching Profile) 단면을 나타내는 도면들이다.

도 9a 내지 도 9f는 각각 본 발명에 따른 세미-애디티브(Semi-Additive) 방식으로 제조되는 인쇄회로기판의 공정을 예시하는 도면들이다.

도 10a 및 도 10b는 각각 본 발명에 따른 세미-애디티브 방식으로 제조된 인쇄회로 기판의 식각 프로파일 단면을 나타내는 도면들이다.

도 11a 및 도 11b는 각각 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다.

*** 도면부호의 간단한 설명 ***

31: 베이스 기판 32: 도통홀

33: 제1 도금층(무전해 동도금층) 34: 제1 레지스트(동도금용)

35: 제2 도금층(패턴 동도금층) 37: 제2 레지스트(금도금용)

39: 금도금층 41: 솔더 레지스트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 관한 것으로, 보다 구체적으로, 볼 그리드 어레이(Ball Grid Array, 이하 'BGA'이라고 함) 및 CSP(Chip Scale Package) 등의 패키지 기판(Package Substrate)의 전해 금도금에 있어서, 패키지 기판의 반도체칩이 실장되는 와이어 본딩 패드와 솔더볼 패드(solder ball pad)를 형성할 경우, 세미-애디티브(Semi-Additive) 방식을 이용하여 도금 인입선 없이 와이어 본딩 패드 및 솔더볼 패드를 전해 금도금하는 패키지 기판 및 그 제조 방법에 관한 것이다.

- <18> 최근 집적회로가 경박단소화됨에도 불구하고 집적회로 패키지에서 나오는 리드(lead)수는 오히려 증가되고 있다. 소형 패키지용 캐리어 상에 많은 리드를 설치하는 문제를 해결하는 방법 중 하나가 핀그리드 어레이(Pin Grid Array; PGA)로 이루어진 캐리어를 갖도록 하는 것이다. 그러나, PGA 캐리어는 소형 캐리어상의 많은 리드를 설치할 수 있지만 핀 또는 리드가 취약하여 쉽게 부러지거나 혹은 고밀도 집적에 한계가 있다.
- <19> 이러한 PGA에 따른 결점을 보완하기 위해 최근 BGA 패키지 기판의 사용이 일반화되고 있는데, 이와 같은 BGA 패키지 기판이 사용되는 것은 핀(pin)보다 미세한 솔더볼(solder ball)을 사용함으로써 기판의 고밀도화가 용이하기 때문이며, 대부분 반도체칩을 실장하는 패키지 기판으로 사용되고 있다.
- <20> 이와 같은 종래의 BGA 패키지 기판을 간략하게 설명하면, 도 1에 도시된 바와 같이, 종래의 핀(pin) 대신 솔더볼(solder ball)(8)이 형성되는 구조를 갖는다. 즉 동박 적층판(이하, 'CCL'(Copper Clad Laminate) 이라고 함)(4)에 통상의 사진식각 공정을 통하여 내층회로를 형성하고, 다수 CCL(4)을 가압하여 적층하며, 내층회로를 도통시키기 위한 비아홀(2)을 가공하여 동도금(3) 작업으로 비아홀(2)을 도통하며, 이후, 상기 적층된 외측 CCL(4)에 반도체칩이 접속되는 본드 핑거(bond finger)(1)를 갖는 외층회로(6)를 사진식각 공정을 통하여 형성하며, 상기 외층회로(6)와 함께 솔더볼 패드(7)를 형성하고, 다음에 솔더볼(8) 접속 및 솔더마스크(solder mask)(5)를 형성하게 된다.
- <21> 이때, 상기 반도체칩이 접속되는 본드 핑거(1)와 솔더볼(8)이 접속되는 패드(7)의 전기적인 접속상태를 향상시키기 위한 도금작업을 수행할 경우 금도금 인입선(Plating Lead Line)을 형성하는데, 각각의 솔더볼(8)이 접속되는 패드(7)에 개별적인 각각의 금

도금 인입선을 연결하고 동시에, 도면에는 도시하지 않았지만, 상기 패드(7)와 접속되고 비아홀(2)을 통하여 본드 핑거(1)에 연결하게 된다. 도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도로서, 솔더볼 패드(8)에 도금 인입선(9)이 형성되어 있는 것을 도시하고 있다. 여기서, 도금 인입선(9)이 형성되는 부분은 도 1의 A로 표시되는 부분이다. 실질적으로, 이러한 도금 인입선에 의해 회로의 고밀도화가 제한을 받게 된다.

<22> 한편, 상기 외층회로(6)가 구성된 CCL(4)에는 집적회로 칩이 실장되어 도선으로서 상기 외층회로(6)와 연결되고, 그 상측으로 충전재가 도포되어 외부 환경으로부터 보호되며, 따라서 BGA 패키지 기판(10)의 경우에는 PGA 기판과 달리 핀에 의해 주회로 기판과 연결되는 것이 아니라 CCL(4)의 패드(7)에 솔더볼(8)이 형성되어 주회로 기판과 도통되며, 이런 이유로 BGA는 PGA보다 소형화가 용이하고, 결국 기판(10)의 고밀도화가 가능해진다.

<23> 그러나, 이와 같은 종래의 패키지 기판(10)에 있어서는, 현재 회로의 고밀도화 및 이를 사용하는 장치의 소형화로 상기 BGA 패키지 기판의 솔더볼(solder ball)(8) 피치(pitch)(솔더볼간의 간격)가 극히 미세하게 되고, 동시에 반도체칩이 실장되는 본드 핑거(1) 주변의 회로 고밀도화로 본드 핑거(1)와 패드(7)의 금도금 작업을 수행하기 위한 금도금 인입선의 고밀도화가 어렵다는 문제가 제기되고 있다.

<24> 이하, 도 3a 내지 도 3i를 참조하여 종래 기술에 따라 도금 인입선에 의해 금도금되는 패키지 기판의 제조 방법에 대해 설명한다.

- <25> 먼저, 베이스 기판(11)에 복수의 도통홀(12)을 가공하고(도 3a 참조), 이후, 상기 베이스 기판(11)의 표면과 상기 도통홀 내벽에 무전해 동도금층(13)을 형성한다(도 3b 참조).
- <26> 이후, 패키지 기판 제품에 회로를 형성하기 위해 베이스 기판(11)에 동도금용 레지스트(14)를 도포, 노광 및 현상하여 패턴을 형성(Patterning)하며, 이때 패턴이 도금될 부분만 동도금용 레지스트를 제거한다(도 3c 참조). 상기 베이스 기판(11)에 기계적 드릴을 사용하여 다수의 비아홀(12)을 형성한 후에 동도금(13)을 실시하며, 이후 상기 동도금용 레지스트(14)를 도포, 노광, 현상에 의해 회로를 형성하며, 상기 동도금용 레지스트(14)로는 통상적으로 드라이필름이 사용된다.
- <27> 다음에, 상기 동도금용 레지스트(14)가 제거된 부분에 패턴을 도금하고(도 3d 참조), 이후, 상기와 같이 패턴이 도금된 상기 동도금용 레지스트(14)를 박리액을 사용하여 제거한다(도 3e 참조).
- <28> 다음에, 상기 박리액에 의해 상기 동도금용 레지스트(14)가 제거되어 노출된 부위인 상기 베이스 기판(11) 상의 무전해 동도금층(13)을 식각액을 사용하여 제거한다(도 3f 참조). 여기서, 도면부호 16은 식각액을 사용하여 식각된 부분을 나타낸다.
- <29> 다음에, 솔더 레지스트(17)를 베이스 기판(11) 전면에 도포하고, 이를 노광 및 현상하여 전해 금도금될 부분, 즉 와이어 본딩 패드 및 솔더볼 패드가 형성될 부위의 솔더 레지스트는 제거한다(도 3e 참조).

- <30> 이후, 기형성된 도금 인입선을 통해 전류를 인가하면서, 상기 도금 인입선 통해 와이어 본딩 패드와 솔더볼 패드에 금도금(18)을 한다. 이때의 도금은 전해 금도금(Ni-Au Plating)으로서, 도금되는 금의 두께는 통상적으로 $0.5 \sim 1.0 \mu\text{m}$ 정도이다(도 3g 참조).
- <31> 구체적으로, 반도체칩 등이 실장되는 패키지 기판을 표면 처리(Metal Finishing)하기 위해서 전해 금도금(Electrolytic Au Plating)이 주로 적용되고 있다. 그 이유는 신뢰성(Reliability)적인 측면에서 전해 금도금이 무전해 금도금(Electroless Au Plating)에 비해 우수하기 때문이다. 하지만, 전해 금도금을 하기 위해서는 전술한 바와 같이 도금 인입선을 제품에 삽입하여 설계해야 하므로 회로 밀집도(Line Density)가 떨어져 고밀집도의 회로 제품 제조시에는 문제가 되고 있다.
- <32> 이후, 라우터(Router)나 다이싱(Dicing)을 사용하여 상기 도금 인입선을 절단하게 된다(도 3h 참조). 여기서, 도면부호 19는 다이싱이 진행되는 부분이다. 즉, 상기 전해 금도금 완료 후에 라우터나 다이싱으로 도금 인입선을 절단하게 되는데, 이때 도금 인입선이 패키지 기판에 잔류하게 되어 전기신호 전달시 노이즈(Noise)를 유발하게 되어 제품의 전기적 특성(Electrical Performance)을 저하시키는 문제점이 있다.
- <33> 한편, 최근 패키지 기판 업체들은 도금 인입선을 사용하지 않고 전해 금도금할 수 있는 기술을 개발하고 있는 추세이다. 또한, 전술한 바와 같은 전해 금도금 시에 와이어 본딩 패드(Wire Bonding Pad)나 솔더볼 패드(Solder Ball Pad) 양쪽을 모두 동일한 두께(대부분 금 두께는 $0.5 \sim 1.5 \mu\text{m}$)로 금을 도금하고 있고, 이때, 솔더볼 패드 쪽에 적정 두께(금 두께는 $0.03 \sim 0.25 \mu\text{m}$) 이상으로 두껍게 도금된 금으로 인하여 솔더볼 집합 신뢰성에 문제가 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 상기 문제점을 해결하기 위한 본 발명의 목적은 세미-에디티브 방식을 사용함으로써 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있는 도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

<35> 또한, 본 발명의 다른 목적은 정상적인 전해 금도금을 진행한 후 모든 도금 인입선이 제거되어 노이즈 발생을 억제할 수 있는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

<36> 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판의 제조 방법은, a) 복수의 도통홀(Plated Through Hole)이 형성되어 있는 베이스 기판의 전면과 내벽을 동도금하여 제1 동도금층을 형성하는 단계; b) 상기 제1 동도금층 상부에 제1 도금용 레지스트를 도포하고, 패턴이 도금될 부분만 상기 제1 도금용 레지스트를 제거하는 단계; c) 상기 제1 도금용 레지스트가 제거된 부분을 동도금하여 제2 동도금층을 형성하는 단계; d) 상기 제1 도금용 레지스트를 박리(Stripping)하는 단계; e) 제2 도금용 레지스트를 도포하고, 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 상기 제2 도금용 레지스트만 제거하는 단계; f) 상기 제2 도금용 레지스트로 덮이지 않고 노출된 제1 동도금층을 식각액을 사용하여 제거하는 단계; g) 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분을 전해 금도금(Ni-Au Plating)하는 단계; h) 상기 제2 도금용 레지스트를 박리액을 사용하여 제거하는 단계; i) 상기 제2 도금용 레지스트가 제거된 부위에 노출된 상기 제1 동도금층을 식각액을 사용하여 제거하는 단

계; 및 j) 솔더 레지스트를 도포하고, 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 상기 솔더 레지스트는 제거하는 단계를 포함하여 이루어진다.

<37> 여기서, 상기 제1 동도금층은 무전해 동도금되며, 상기 와이어 본딩 패드와 솔더볼 패드를 금도금시키는 도금 인입선 역할을 하는 것을 특징으로 한다.

<38> 여기서, 상기 제2 동도금층은 패턴이 형성되는 전해 동도금층인 것을 특징으로 한다.

<39> 여기서, 상기 제2 도금용 레지스트는 금도금용 드라이필름인 것이 바람직하다.

<40> 여기서, 상기 전해 금도금되는 두께는 $0.5 \sim 1.5 \mu\text{m}$ 인 것이 바람직하다.

<41> 한편, 본 발명에 따른 도금 인입선 없이 전해 금도금된 패키지 기판은, a) 다수의 도통홀이 형성되어 있는 베이스 기판; b) 상기 베이스 기판 상의 소정 부분과 상기 도통홀 내에 동도금되어 있는 제1 동도금층; c) 상기 제1 동도금층 상에 형성되는 패턴 도금층; d) 상기 제1 동도금층의 일부가 제거된 상기 베이스 기판의 상부에 형성되며, 도금 인입선이 없이 전해 금도금되는 와이어 본딩 패드; e) 상기 베이스 기판의 하부의 소정 위치에 형성되며, 도금 인입선이 없이 전해 금도금되는 솔더볼 패드; 및 f) 상기 와이어 본딩 패드를 제외한 소정 부위에 도포되는 솔더 레지스트를 포함하며, 상기 도통홀 주변을 제외한 제1 동도금층 상에 레지스트를 도포한 후에, 상기 레지스트가 없는 부위에 세미-애디티브(Semi-additive) 방식으로 상기 패턴 도금층이 형성되는 것을 특징으로 한다.

<42> 여기서, 상기 와이어 본딩 패드 및 솔더볼 패드는 상기 제1 동도금층에 전류를 흘려 금도금된 금도금층인 것을 특징으로 한다.

- <43> 여기서, 상기 제1 동도금층이 상기 전해 금도금되는 와이어 본딩 패드 및 솔더볼 패드의 도금 인입선 역할을 하는 무전해 동도금층인 것을 특징으로 한다.
- <44> 여기서, 상기 전해 금도금되는 두께는 $0.5 \sim 1.5 \mu\text{m}$ 인 것이 바람직하다.
- <45> 결국, 본 발명에 따르면, 세미-에디티브 방식으로 도금 인입선 없이 와이어 본딩 패드 및 솔더볼 패드에 전해 금도금을 처리함으로써, 도금 인입선을 사용하지 않는 패키지 기판을 제조할 수 있으므로 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있고, 또한 도금 인입선이 제거되어 노이즈의 발생을 억제할 수 있다.
- <46> 이하, 첨부한 도면을 참조하여, 본 발명의 실시예에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 대해 구체적으로 설명한다.
- <47> 도 6a 내지 도 6k는 각각 본 발명의 실시예에 따른 세미-에디티브 방식으로 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법은 다음과 같다.
- <48> 먼저, 베이스 기판(31) 상에 복수의 도통홀(32)을 가공하고(도 6a 참조), 상기 베이스 기판(31)의 표면과 상기 도통홀(32) 내벽에 제1 동도금층(33)을 형성한다(도 6b 참조). 여기서, 상기 제1 동도금층(33)은 무전해 동도금되며, 상기 와이어 본딩 패드와 솔더볼 패드를 금도금시키는 도금 인입선 역할을 하게 된다.
- <49> 본 발명에 따른 패키지 기판은 다수의 베이스 기판(31)이 적층되는 다층 기판으로 구성되는데, 상기 베이스 기판은 에폭시로 된 기판에 도전성 접착제로서 동박이 일체로 접합된 동박 적층판(CCL)일 수도 있다. 상기 베이스 기판(31)에는 필름 식각 공정을 통

하여 내층회로를 형성하고, 이때 상기 내층회로는 대개 접지 패턴 또는 신호처리 패턴으로 구성된다. 상기 도통홀(32)은 회로를 전기적으로 통하도록 형성되며, 도통홀(32)이 형성되면, 회로를 전기적으로 연결하기 위해 동도금 작업을 통하여 비아홀(32)의 내부를 도통시키는 동도금층(33)을 형성하게 된다.

<50> 다음에, 상기 제1 동도금층 상부에 제1 도금용 레지스트(34)를 도포하고, 패턴이 도금될 부분만 상기 제1 도금용 레지스트(34)를 제거한다(도 6c 참조).

<51> 다음에, 상기 제1 도금용 레지스트(34)가 제거된 부분을 동도금하여 제2 동도금층을 형성한다(도 6d 참조). 상기 제2 동도금층은 패턴이 형성되는 전해 동도금층이다.

<52> 다음에, 상기 제1 도금용 레지스트(34)를 박리액을 사용하여 박리(Stripping)하고(도 6e 참조), 이후, 제2 도금용 레지스트(37)를 도포하고, 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 상기 제2 도금용 레지스트(37)만 제거한다(도 6f 참조). 상기 제2 도금용 레지스트(37)는 금도금용 드라이필름인 것이 바람직하다.

<53> 다음에, 상기 제2 도금용 레지스트(37)로 덮이지 않고 노출된 제1 도금층(33)을 식각액을 사용하여 제거하고(도 6g 참조), 이후, 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분을 전해 금도금(Ni-Au Plating)(39)하게 된다(도 6h 참조). 여기서, 도면 부호 38은 제1 도금층(33)이 식각에 의해 제거된 부위를 나타낸다. 또한, 상기 전해 금도금되는 두께는 0.5~1.5 μ m인 것이 바람직하다. 상기 와이어 본딩 패드 및 솔더볼 패드는 상기 제1 동도금층(33)에 전류를 흘려 금도금된 금도금층(39)이다.

<54> 다음에, 상기 제2 도금용 레지스트(37)를 박리액을 사용하여 제거하고(도 6i 참조), 상기 제2 도금용 레지스트(37)가 제거된 부위에 노출된 상기 제1 도금층(33)을

식각액을 사용하여 제거하게 된다(도 6j 참조). 여기서, 도면부호 40은 상기 제1 도금층(33)이 제거된 부위를 나타낸다.

<55> 마지막으로, 솔더 레지스트(41)를 도포하고, 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분(39)의 상기 솔더 레지스트(41)는 제거하게 된다(도 6k 참조). 즉, 솔더 레지스트(41)를 기판 상에 도포한 후, 노광 및 현상 공정으로 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분에 덮인 솔더 레지스트(41)는 제거한다.

<56> 결국, 본 발명에 따른 도금 인입선 없이 전해 금도금된 패키지 기판은, a) 다수의 도통홀(32)이 형성되어 있는 베이스 기판(31); b) 상기 베이스 기판(31) 상의 소정 부분과 상기 도통홀(32) 내에 동도금되어 있는 제1 동도금층(33); c) 상기 제1 동도금층(33) 상에 형성되는 패턴 도금층(35); d) 상기 제1 동도금층(33)의 일부가 제거된 상기 베이스 기판(31)의 상부에 형성되며, 도금 인입선이 없이 전해 금도금되는 와이어 본딩 패드(39); e) 상기 베이스 기판(31)의 하부의 소정 위치에 형성되며, 도금 인입선이 없이 전해 금도금되는 솔더볼 패드; 및 f) 상기 와이어 본딩 패드(39)를 제외한 소정 부위에 도포되는 솔더 레지스트(41)를 포함하여 구성된다.

<57> 본 발명에 따른 도금 인입선 없이 전해 금도금된 패키지 기판 및 그 제조 방법에서는 상기 도통홀(32) 주변을 제외한 제1 동도금층(33) 상에 도금용 레지스트(34)를 도포한 후에, 상기 도금용 레지스트(41)가 없는 부위에 세미-애디티브(Semi-additive) 방식으로 상기 패턴 도금층(35)이 형성되게 되며, 상기 세미-애디티브 방식에 대해서는 후술하기로 한다.

- <58> 한편, 도 4는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도로
서, 본 발명에 따른 패키지 기판은 종래 기술에 따른 도 2의 패키지 기판과 비교하면,
솔더볼 패드(20)에 연결되는 도금 인입선이 사용되지 않은 것을 예시하고 있다.
- <59> 도 5는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판에 전류를 흘려주는
방식을 예시하는 도면으로서, 전술한 바와 같이, 무전해 동도금층(33)에 전류를 흘려서
와이어 본딩 패드 및 솔더볼 패드를 금도금하는 것을 나타내고 있다.
- <60> 이하, 도 7 내지 도 10을 참조하여, 통상적인 서브트랙티브 방식 및 본 발명에 따
른 세미-애디티브 방식을 이용하는 금도금 방법을 각각 설명하기로 한다.
- <61> 먼저, 도 7a 내지 도 7f는 각각 통상적인 서브트랙티브 방식으로 제조되는 인쇄회
로기판의 공정을 예시하는 도면들이고, 도 8a 및 도 8b는 통상적인 서브트랙티브 방식으
로 제조된 인쇄회로기판의 식각 프로파일(Etching Profile) 단면을 나타내는
도면들이다.
- <62> 먼저, 통상적인 서브트랙티브 방식으로 제조되는 인쇄회로기판은 양면에 $12\mu\text{m}$ 정도
의 동박(52)이 형성되어 있는 베이스 기판 코어(51)가 준비되고(도 7a 참조), 상기 베이
스 기판을 기계식 드릴을 사용하여 복수개의 도통홀(53)을 형성한다(도 7b 참조).
이때, 상기 $12\mu\text{m}$ 정도의 동박(52)을 $3\sim 7\mu\text{m}$ 정도로 줄이는 식각 공정이 수행될 수 있다.
- <63> 이후, 상기 베이스 기판의 전면 및 내벽을 $0.5\mu\text{m}$ 정도의 무전해 동박층(54)을 형성
하고(도 7c 참조), 다시 $15\mu\text{m}$ 정도의 전해 동박층(55)을 상기 무전해 동박층(54) 상에
형성한다(도 7d 참조).

- <64> 이후, 15 μ m 정도의 드라이필름(56)을 적층하여 상기 도통홀(53)이 형성된 상부 및 하부를 텐팅(tenting)하고(도 7e 참조), 노광 및 현상 공정에 의해 상기 드라이필름(56)이 적층된 부분을 제외한 상기 무전해 동박층(54) 및 전해 동박층(55)을 식각액을 사용하여 제거한다(도 7f 참조).
- <65> 도 8a 및 도 8b는 전술한 도 7a 내지 도 7f의 공정으로 제조되는 인쇄회로기판의 측면면을 각각 나타내는데, 도 8a는 베이스 기판 코어(51), 베이스 기판 상부의 5 μ m의 동박(52), 0.5 μ m 정도의 무전해 동도금층(54), 15 μ m 정도의 전해 동도금층(55) 및 15 μ m 정도의 드라이필름(56)이 적층되는 구조를 도시하고 있으며, 도 8b는 도 8a가 측벽 식각(side etch)이 실시된 것을 나타내며, 도 8b에 도시된 바와 같이 측벽 식각이 크기 때문에 미세 회로를 형성하기 어렵다.
- <66> 한편, 도 9a 내지 도 9f는 각각 본 발명에 따른 세미-애디티브(Semi-Additive) 방식으로 제조되는 인쇄회로기판의 공정을 예시하는 도면들이고, 도 10a 및 도 10b는 각각 본 발명에 따른 세미-애디티브 방식으로 제조된 인쇄회로기판의 식각 프로파일 단면을 나타내는 도면들이다.
- <67> 본 발명에 따른 세미-애디티브 방식으로 제조되는 인쇄회로기판은 베이스 기판 코어(61)가 준비되고(도 9a 참조), 상기 베이스 기판을 기계식 드릴을 사용하여 복수개의 도통홀(62)을 형성한다(도 9b 참조).
- <68> 이후, 상기 베이스 기판의 전면 및 내벽을 0.5 μ m 정도의 무전해 동박층(63)을 형성하게 되며(도 9c 참조), 이후, 상기 도통홀(62) 주변을 제외한 무전해 동박층(63)의 상부에 드라이필름(64)을 도포하고, 이를 노광 및 현상하게 된다(도 9d 참조). 다음에, 15 μ m~20 μ m 정도의 동박층(65)을 상기 드라이필름(64)이 형성된 부위를 제외한 부위에

형성하고(도 9e 참조), 이후, 노광 및 현상 공정에 의해 상기 드라이필름(64)이 적층된 부분을 제외한 상기 무전해 동박층(63) 및 전해 동박층(65)을 박리액을 사용하여 박리하고 플래시 식각한다(도 9f 참조).

<69> 전술한 도 7a 내지 도 7의 서브트랙티브 방식으로 제조되는 인쇄회로기판의 경우 무전해 동도금층(54) 상에 전해 동도금층(55)을 형성하고, 이후 드라이필름(56)을 적층하고 식각을 수행하지만, 도 9a 내지 9f의 세미-애디티브 방식으로 제조되는 인쇄회로기판은 무전해 동도금층(63) 상에 드라이필름(64)을 적층하고, 이후 전해 동도금층(65)을 형성하고 플래시 식각을 수행하게 된다.

<70> 도 10a 및 도 10b는 전술한 도 9a 내지 도 9f의 공정으로 제조되는 인쇄회로기판의 측면면을 각각 나타내는데, 도 9a는 베이스 기판 코어(61), $0.5\mu\text{m}$ 정도의 무전해 동도금층(63), $25\mu\text{m}$ 정도의 드라이필름(64) 및 상기 드라이필름 사이에 적층되는 $20\mu\text{m}$ 정도의 전해 동도금층(65) 및 구조를 도시하고 있으며, 도 10b는 도 10a가 박리 및 플래시 식각이 실시된 것을 나타내며, 도 10b에 도시된 바와 같이 측벽 식각이 발생하지 않기 때문에 미세 회로의 형성이 가능하다.

<71> 결국, 통상적인 서브트랙티브 방식의 트레이스 폭(Trace Width)의 오차범위는 $\pm 15\mu\text{m}$ 인데 비해서 본 발명에 따른 세미-애디티브 방식의 트레이스 폭의 오차범위는 $\pm 5\mu\text{m}$ 정도이므로, 식각 두께를 얇게 형성할 수 있다.

<72> 결국, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법은 전술한 바와 같은 세미-애디티브 방식을 사용함으로써, 회로의 밀집도를 향상시킬 수 있다.

<73> 도 11a 및 도 11b는 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다. 도 11a에 도시된 바와 같이, 패키지 기판(71) 상에 형성된 솔더볼 패드(72a)는 각각의 솔더볼 패드 중심간의 볼 패드 피치가 A로 도시되며, 이때 도면부호 73은 도금 인입선을 나타내고 있다. 또한 도 11b에 도시된 바와 같이 본 발명에 따른 패키지 기판(71) 상에 형성된 솔더볼 패드(72b)는 각각의 솔더볼 패드 중심간의 볼 패드 피치가 B로 도시되는데, 상기 볼 패드 피치 A에 비해 약 0.1 내지 0.15mm가 줄어든 것을 도시하고 있다. 즉, 도 11a에 도시된 도금 인입선(73)이 제거되었기 때문에, 동일 면적의 패키지 기판 상에 보다 많은 솔더볼 패드를 형성할 수 있으므로 회로 밀집도가 향상된 것을 알 수 있다.

<74> 결국, 본 발명은 BGA 및 CSP 등의 패키지 기판의 전해 금도금 시에, 도금 인입선 없이 금도금함으로써, 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다. 또한, 본 발명은 도금 인입선 불필요에 따른 회로 설계 자유도가 향상되며, 볼 패드 피치(Pitch)를 종래의 기술에 따른 볼 패드 피치에 비해 약 0.1~0.15 mm 줄일 수 있으므로 고밀집 회로 제품의 제작할 수 있다.

<75> 본 발명은 특정한 실시예에 관련하여 도시하고 설명하였지만, 이하의 특허청구의 범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당업자에게 자명하다.

【발명의 효과】

<76> 본 발명에 따르면, 전해 금도금용 인입선 잔류로 인한 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다.

<77> 또한, 본 발명에 따르면 도금 인입선 불필요에 따른 회로 설계 자유도(유연성)가 향상되며, 고밀집 회로 제품의 제작에 유리하다.

【특허청구범위】

【청구항 1】

- a) 복수의 도통홀(Plated Through Hole)이 형성되어 있는 베이스 기판의 전면과 내벽을 동도금하여 제1 동도금층을 형성하는 단계;
- b) 상기 제1 동도금층 상부에 제1 도금용 레지스트를 도포하고, 패턴이 도금될 부분만 상기 제1 도금용 레지스트를 제거하는 단계;
- c) 상기 제1 도금용 레지스트가 제거된 부분을 동도금하여 제2 동도금층을 형성하는 단계;
- d) 상기 제1 도금용 레지스트를 박리(Stripping)하는 단계;
- e) 제2 도금용 레지스트를 도포하고, 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 상기 제2 도금용 레지스트만 제거하는 단계;
- f) 상기 제2 도금용 레지스트로 덮이지 않고 노출된 제1 동도금층을 식각액을 사용하여 제거하는 단계;
- g) 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분을 전해 금도금(Ni-Au Plating)하는 단계;
- h) 상기 제2 도금용 레지스트를 박리액을 사용하여 제거하는 단계;
- i) 상기 제2 도금용 레지스트가 제거된 부위에 노출된 상기 제1 동도금층을 식각액을 사용하여 제거하는 단계; 및
- j) 솔더 레지스트를 도포하고, 상기 와이어 본딩 패드 및 솔더볼 패드가 형성될 부분의 상기 솔더 레지스트는 제거하는 단계

를 포함하여 이루어지는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 제1 동도금층은 무전해 동도금되는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 3】

제1항에 있어서,

상기 제2 동도금층은 패턴이 형성되는 전해 동도금층인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 제2 도금용 레지스트는 금도금용 드라이필름인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 5】

제1항에 있어서,

상기 전해 금도금되는 두께는 $0.5 \sim 1.5 \mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 제1 동도금층이 상기 와이어 본딩 패드와 솔더볼 패드를 금도금시키는 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 7】

- a) 다수의 도통홀이 형성되어 있는 베이스 기판;
 - b) 상기 베이스 기판 상의 소정 부분과 상기 도통홀 내벽에 동도금되어 있는 제1 동도금층;
 - c) 상기 제1 동도금층 상에 형성되는 패턴 도금층;
 - d) 상기 제1 동도금층의 일부가 제거된 상기 베이스 기판의 상부에 형성되며, 도금 인입선이 없이 전해 금도금되는 와이어 본딩 패드;
 - e) 상기 베이스 기판의 하부의 소정 위치에 형성되며, 도금 인입선이 없이 전해 금도금되는 솔더볼 패드; 및
 - f) 상기 와이어 본딩 패드 및 솔더볼 패드를 제외한 소정 부위에 도포되는 솔더 레지스트
- 를 포함하며,
- 상기 도통홀 주변을 제외한 제1 동도금층 상에 레지스트를 도포한 후에, 상기 레지스트가 없는 부위에 세미-애디티브(Semi-additive) 방식으로 상기 패턴 도금층이 형성되는 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

【청구항 8】

제7항에 있어서,

상기 와이어 본딩 패드 및 솔더볼 패드는 상기 제1 동도금층에 전류를 흘려 금도금된 금도금층인 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

【청구항 9】

제7항에 있어서,

상기 제1 동도금층이 상기 전해 금도금되는 와이어 본딩 패드 및 솔더볼 패드의 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

【청구항 10】

제7항에 있어서,

상기 전해 금도금되는 두께는 $0.5 \sim 1.5 \mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판.

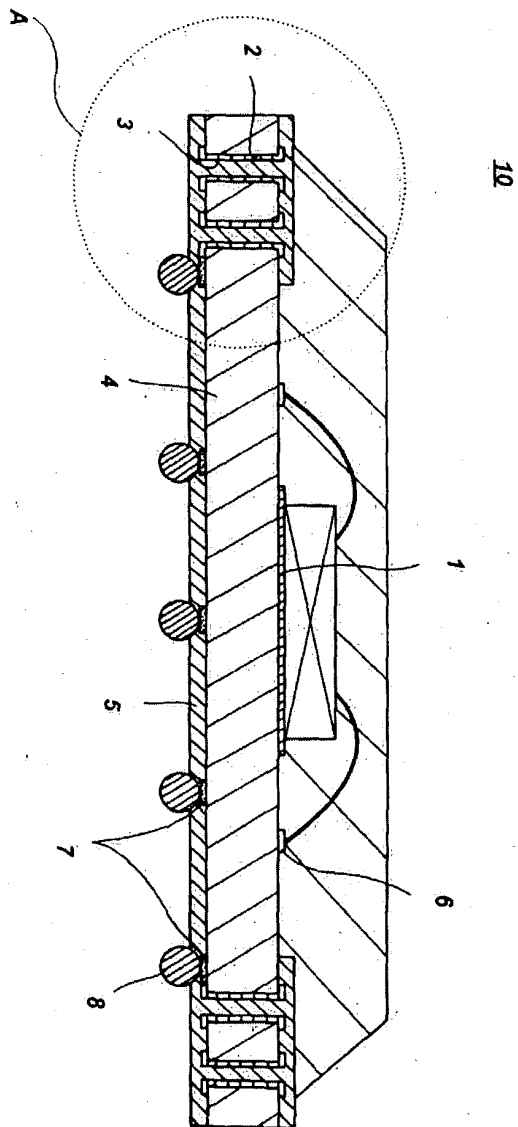
【청구항 11】

제7항에 있어서,

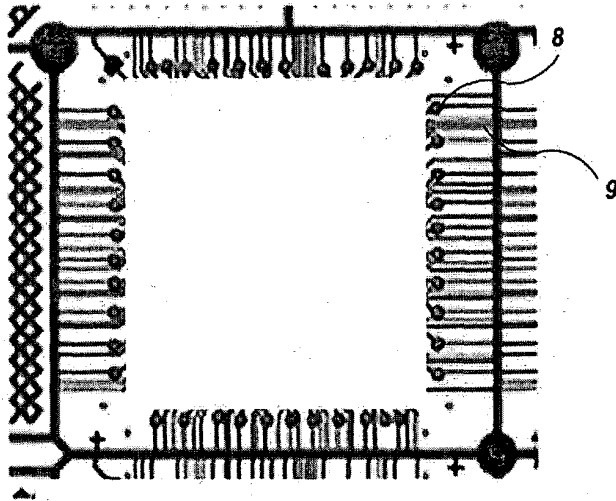
상기 제1 동도금층은 무전해 동도금층인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판.

【도면】

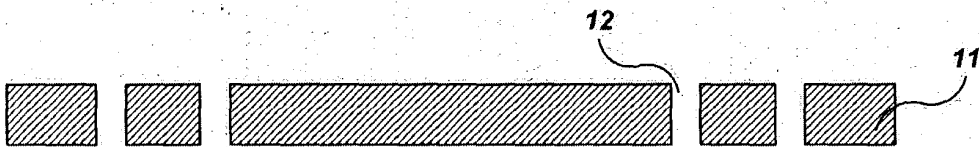
【도 1】



【도 2】



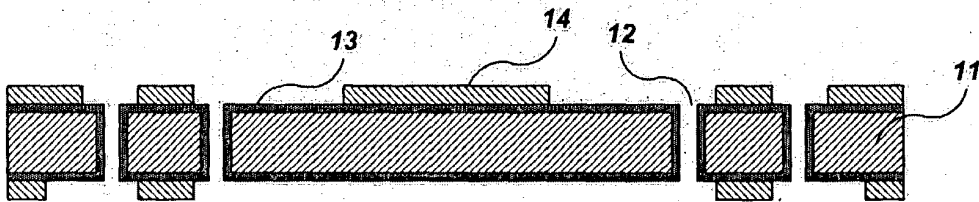
【도 3a】



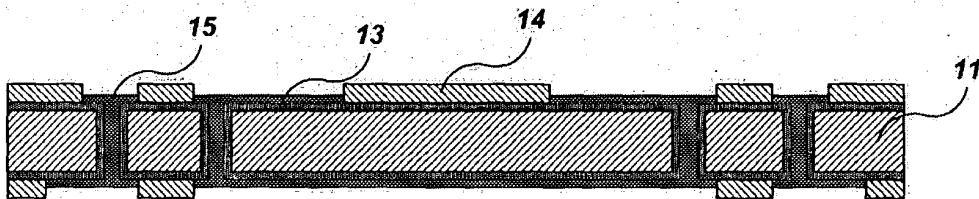
【도 3b】



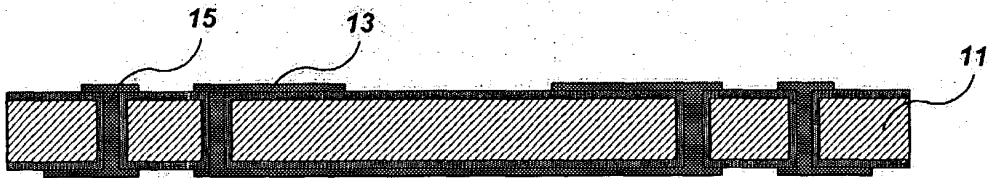
【도 3c】



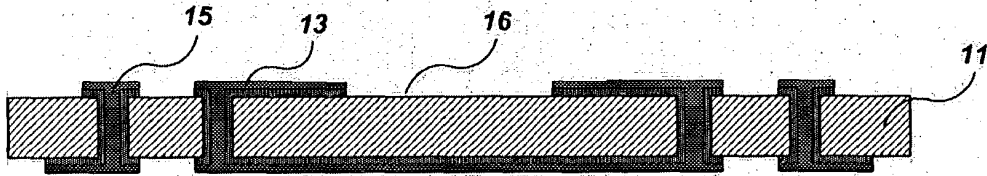
【도 3d】



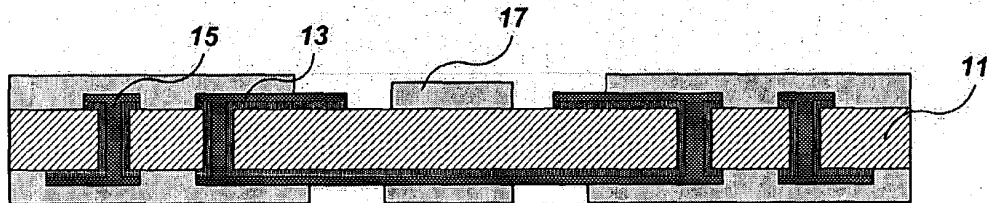
【도 3e】



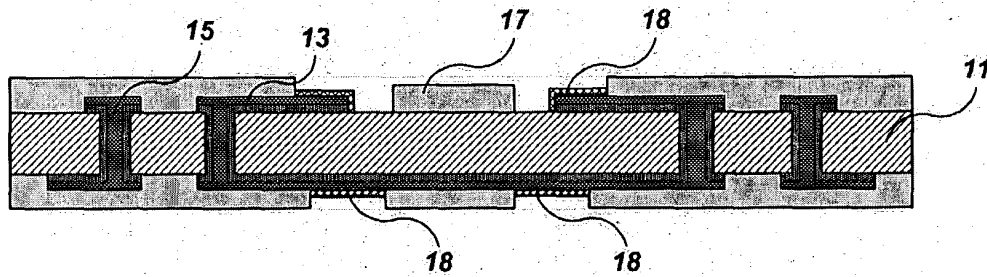
【도 3f】



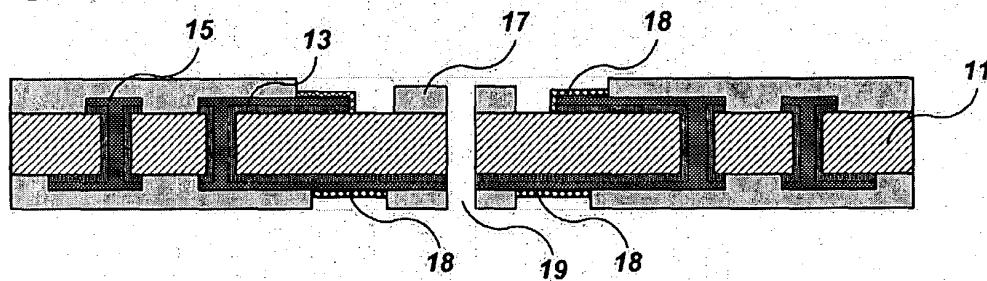
【도 3g】



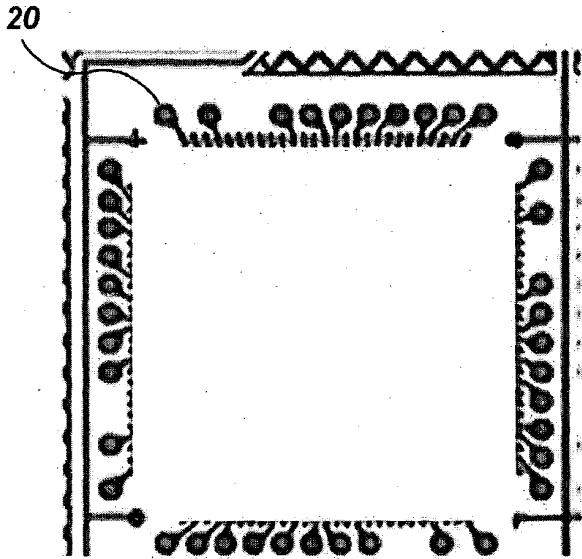
【도 3h】



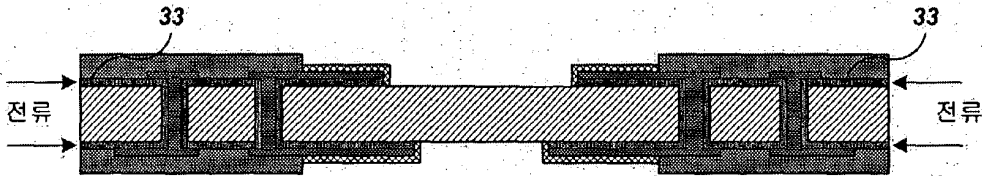
【도 3i】



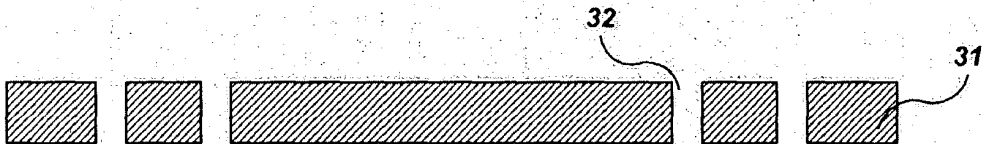
【도 4】



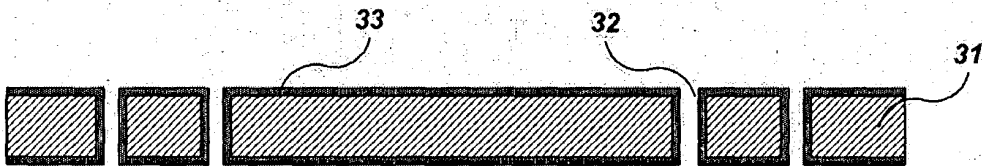
【도 5】



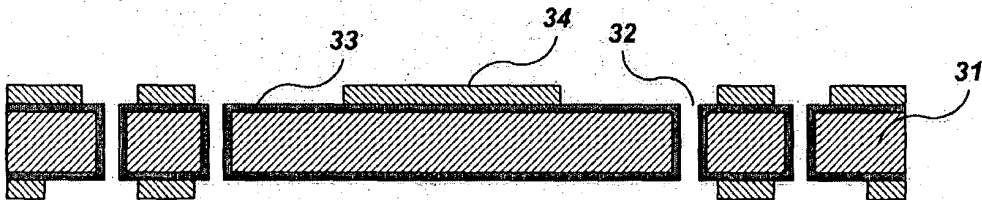
【도 6a】



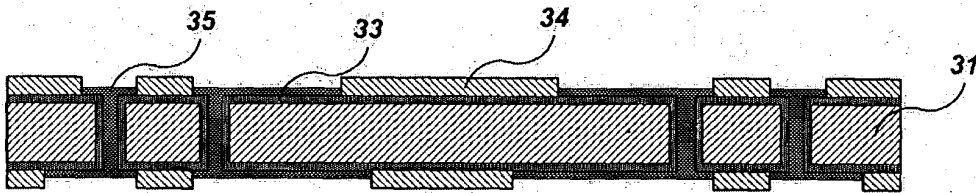
【도 6b】



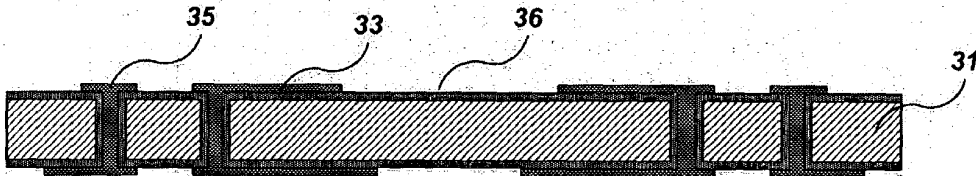
【도 6c】



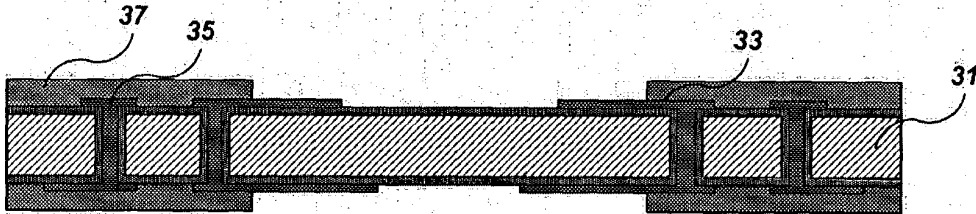
【도 6d】



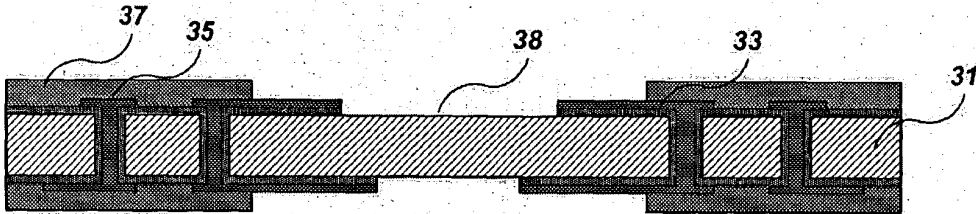
【도 6e】



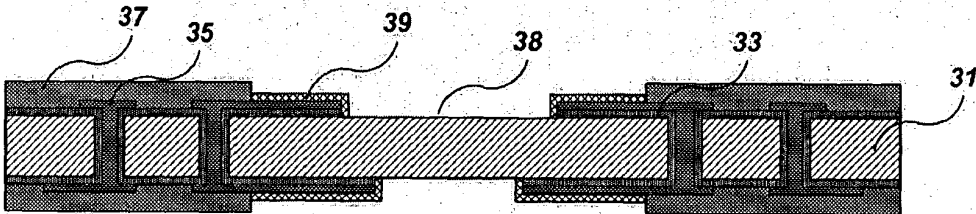
【도 6f】



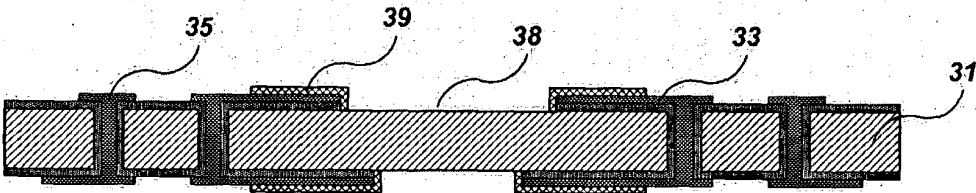
【도 6g】



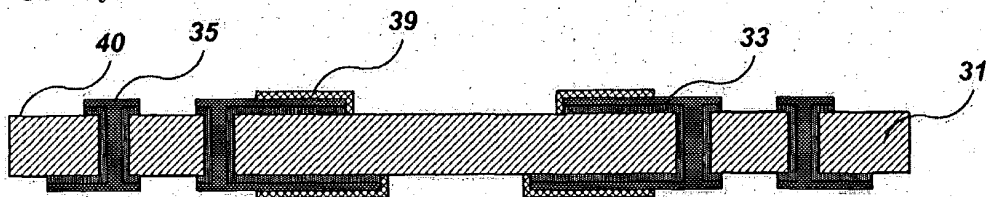
【도 6h】



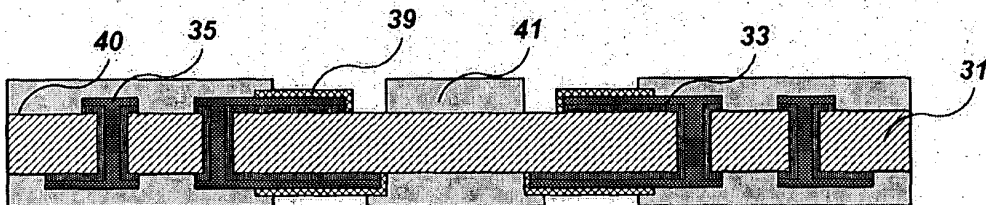
【도 6i】



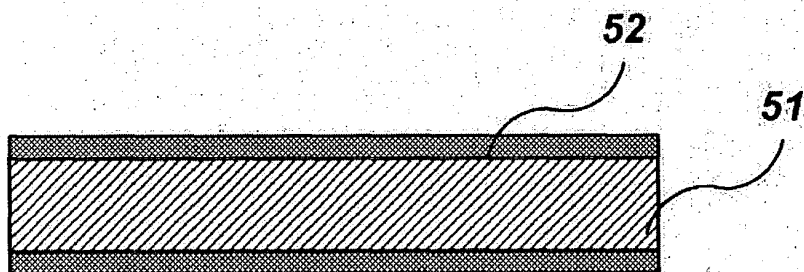
【도 6j】



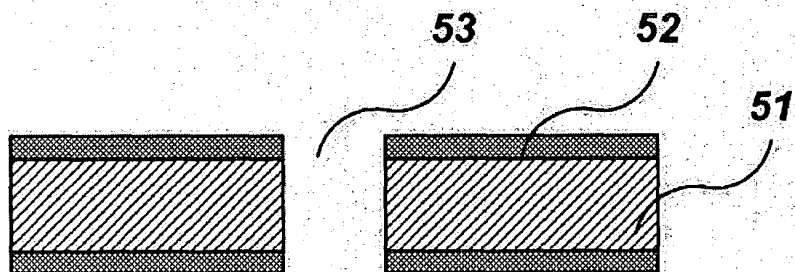
【도 6k】



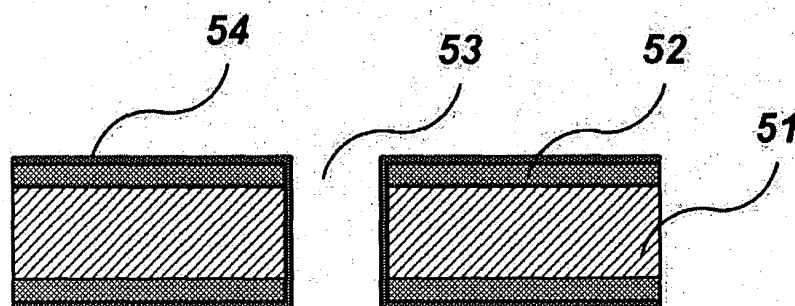
【도 7a】



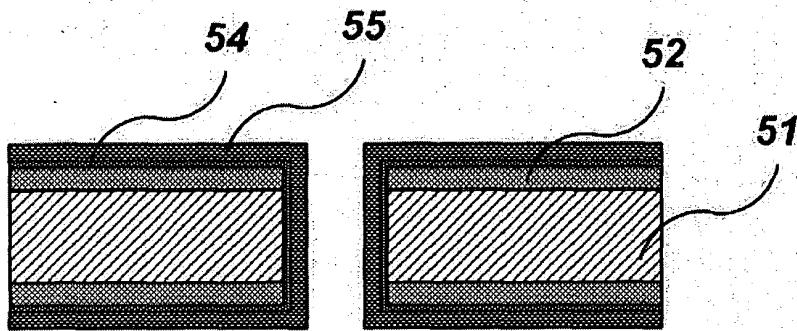
【도 7b】



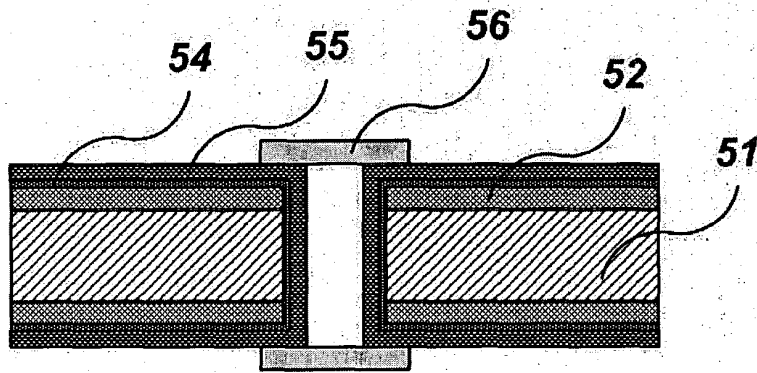
【도 7c】



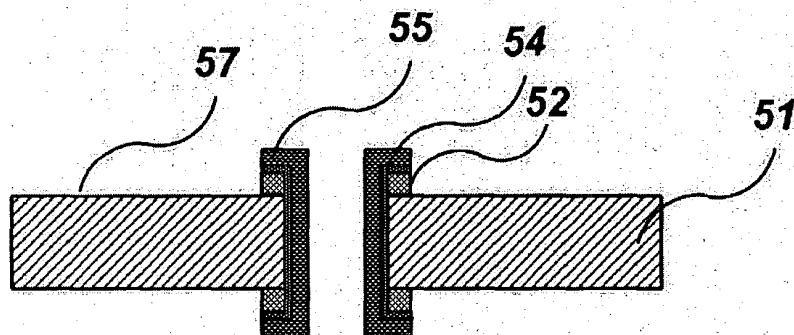
【도 7d】



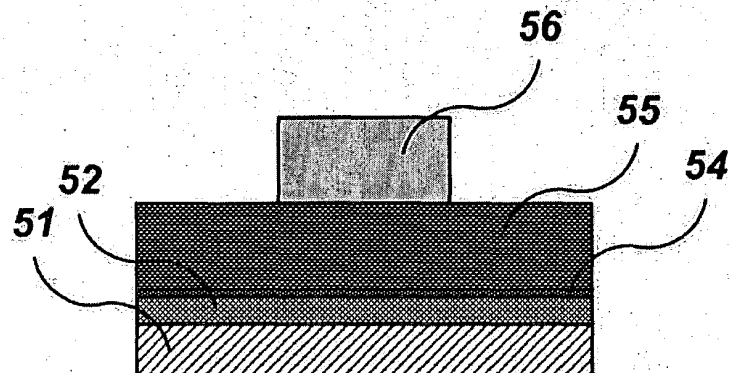
【도 7e】



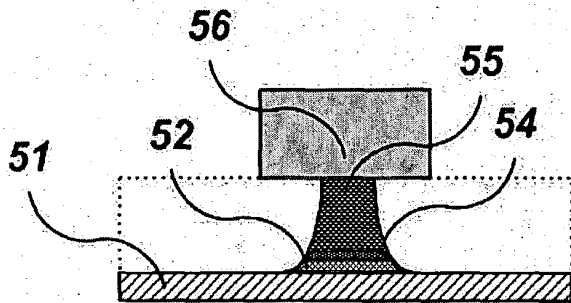
【도 7f】



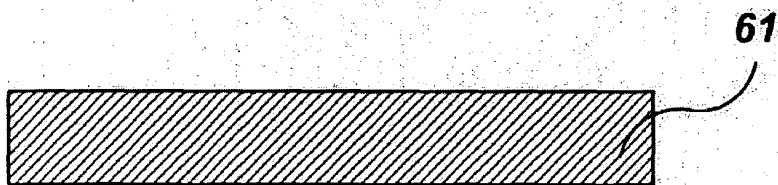
【도 8a】



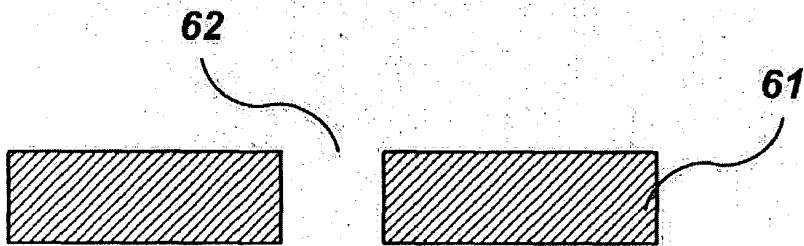
【도 8b】



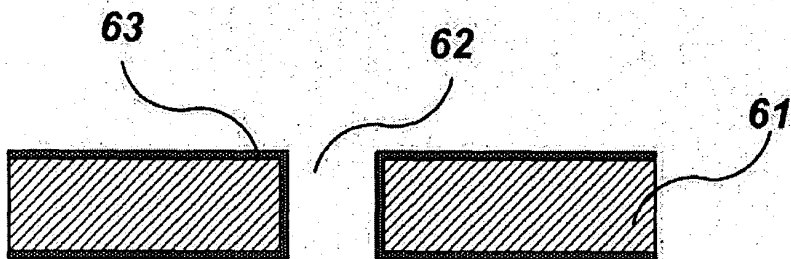
【도 9a】



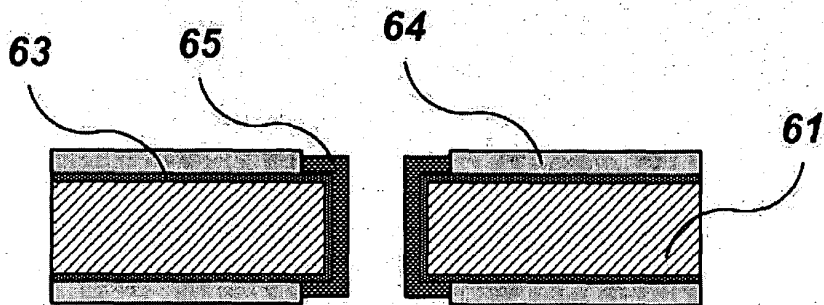
【도 9b】



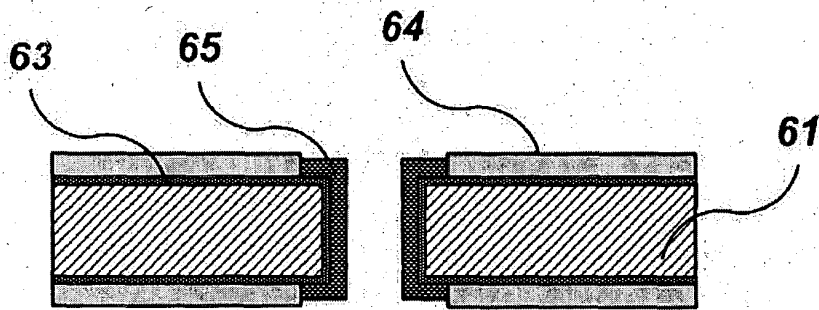
【도 9c】



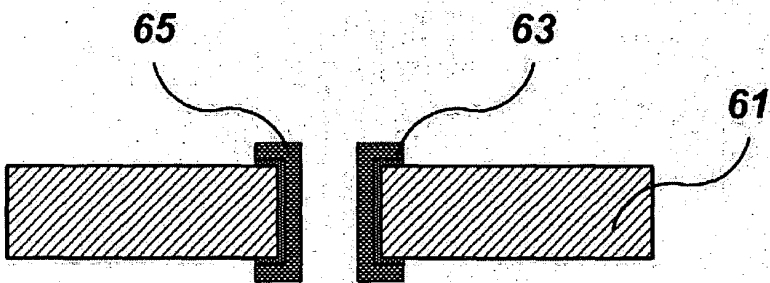
【도 9d】



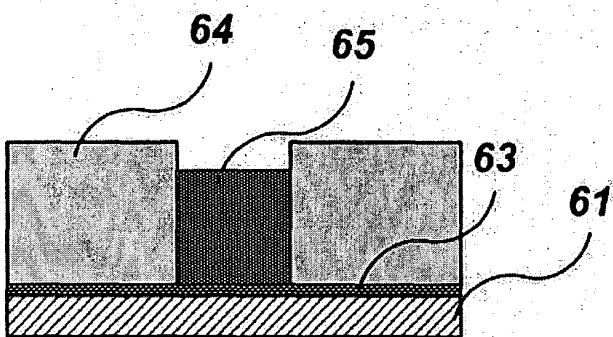
【도 9e】



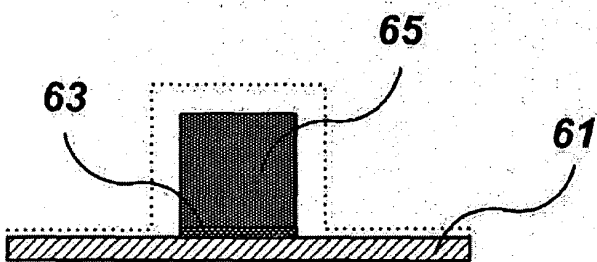
【도 9f】



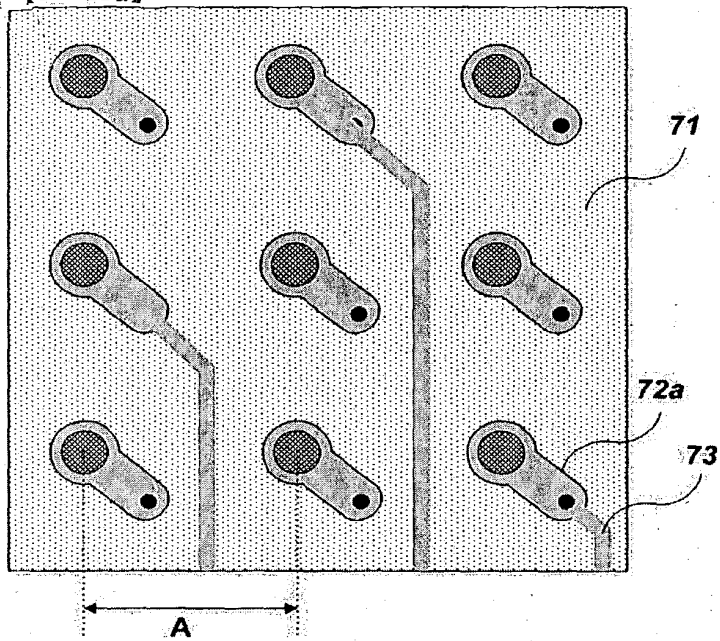
【도 10a】



【도 10b】



【도 11a】



【도 11b】

